



UNIVERSITÀ DEGLI STUDI DI PADOVA

FACOLTÀ DI INGEGNERIA

Tesi di Laurea in

INGEGNERIA ELETTRONICA

**Simulazione degli effetti di  
radiazione ionizzante su pompe  
di carica per memorie Flash**

Relatore

Prof. Alessandro Paccagnella

Correlatore

Ing. Simone Gerardin

Candidato

Stefano Dalcanale

Anno Accademico 2009/2010



---

# Indice

<b>1</b>	<b>Introduzione</b>	<b>1</b>
<b>2</b>	<b>Le pompe di carica</b>	<b>7</b>
2.1	Pompa di carica Dickson . . . . .	7
2.2	Pompa di carica a pass-transistor . . . . .	10
2.3	Duplicatore di tensione . . . . .	12
<b>3</b>	<b>Simulazioni dei circuiti</b>	<b>15</b>
3.1	Pompa di carica Dickson . . . . .	16
3.2	Pompa di carica a pass-transistor . . . . .	19
3.3	Duplicatore di tensione . . . . .	22
3.4	Comparazione delle pompe di carica . . . . .	25
<b>4</b>	<b>Simulazioni dei circuiti dopo l'irradiazione</b>	<b>27</b>
4.1	Caratteristiche I-V . . . . .	27
4.2	Pompe di carica . . . . .	29
4.3	Osservazioni . . . . .	32
<b>5</b>	<b>Conclusioni</b>	<b>35</b>
	<b>Bibliografia</b>	<b>37</b>



---

# Capitolo 1

## Introduzione

La prima generazione di satelliti ha rivoluzionato l'industria delle telecomunicazioni, dell'intrattenimento e dell'informazione. Questo sviluppo è avvenuto nonostante la necessità dei satelliti di lavorare nell'ambiente spaziale, sottoposti a elevate quantità di radiazioni ionizzanti [1]. In realtà, il primo satellite per telecomunicazioni, Telstar-I, fu lanciato nel 1962, appena dopo un test exoatmosferico su armi nucleari, ed ebbe vita breve a causa della presenza di un'eccessiva quantità di elettroni ad alta energia trattenuti nel campo magnetico terrestre. Una volta scoperte le cause del guasto il satellite fu rimesso in sesto [2], mettendo così a disposizione dei futuri progettisti una serie di precauzioni.

Nello spazio, le tre principali sorgenti di radiazioni sono protoni ed elettroni trattenuti dal campo magnetico terrestre, attività solare, e raggi cosmici [3]. Protoni ed elettroni con energia sufficientemente elevata da penetrare la schermatura di satelliti o veicoli spaziali possono causare eventi di ionizzazione nell'elettronica di bordo. L'impatto di singoli ioni ad alta energia può causare una serie di effetti noti come SEE (Single Event Effects), che possono portare ad un improvviso arresto del sistema. I problemi causati da esposizioni prolungate, espressi come TID (Total Ionizing Dose), invece, possono ridurre la durata della missione, a causa di malfunzionamenti o guasti a dispositivi, circuiti integrati e pannelli solari.

La quantità di radiazione nello spazio varia parecchio in base all'orbita, e varia significativamente anche nel tempo. Queste variazioni sono state ampiamente catalogate, e prima di una missione si può stimare la dose di radiazione a cui il satellite sarà esposto e dimensionare di conseguenza lo spessore della schermatura. Una delle più grandi fonti di incertezza applicando questo metodo rimane la previsione dell'intensità dell'attività solare durante la missione.

La resistenza TID di circuiti commerciali può variare tra meno di 1.0 krad(SiO<sub>2</sub>) a più di 100 krad(SiO<sub>2</sub>). La maggior parte dei componenti commerciali funziona correttamente nel range di 3–30 krad(SiO<sub>2</sub>) [4]. Nei sistemi progettati per orbite a bassa quota, dove si prevede una TID della missione inferiore a 10 krad(SiO<sub>2</sub>), si possono, con le dovute cautele, usare componenti commerciali standard.

Sistemi operanti a dosi comprese tra 10 e 100 krad(SiO<sub>2</sub>) vengono assemblati usando sia i componenti commerciali che quelli tolleranti le radiazioni, per ottenere prestazioni massime con costi minimi. Nella valutazione dei costi va tenuto in considerazione che i componenti commerciali vanno sottoposti a numerosi test, mentre quelli resistenti alle radiazioni no, anche se questi ultimi sono più costosi.

Per quanto riguarda i test, esistono dei protocolli standard in cui si espongono i componenti a varie dosi TID e se ne valuta la resistenza. Inoltre, per limitare i costi dovuti ai test, si possono effettuare delle simulazioni per progettare dei circuiti commerciali che risultino più resistenti alle radiazioni [5]. In particolare, risulta utile identificare i meccanismi che stanno alla base della degradazione dovuta agli effetti delle radiazioni, ed implementare soluzioni progettuali che li minimizzino. Fondamentalmente, questo approccio risulta un compromesso tra l'occupazione di area e la resistenza alle radiazioni [6].

Osservando gli ultimi sviluppi tecnologici si può notare come la diminuzione dello spessore dell'ossido di gate dei transistor MOS migliora la resistenza alla dose totale di radiazione. Anche l'uso di sistemi d'isolamento

più adatti allo scaling (STI al posto di LOCOS) sortiscono effetti analoghi.

I risultati degli esperimenti in cui dei transistor MOS vengono irradiati con radiazioni ionizzanti [7],[8], mostrano che i danni maggiori vengono arrecati all'ossido di campo [9], che può essere implementato con tecnologia LOCOS (Local Oxidation of Silicon) oppure STI (Shallow Trench Insulation), come mostrato in Figura 1.1.

La carica positiva, che dopo l'irraggiamento è rimasta intrappolata nell'ossido di campo laterale, genera un percorso di conduzione parassita. L'effetto di questa conduzione sulla caratteristica I-V di un dispositivo è mostrato in Figura 1.2.

L'effetto più evidente dell'irradiazione è una diminuzione della tensione di soglia  $V_T$ . La caratteristica I-V iniziale mostra un leggero spostamento a sinistra dopo l'irradiazione; questo è dovuto allo spessore relativamente sottile dell'ossido di gate. All'inizio, invece la caratteristica del transistor parassita rimane nascosta, perché la tensione di soglia è molto elevata. Sic-

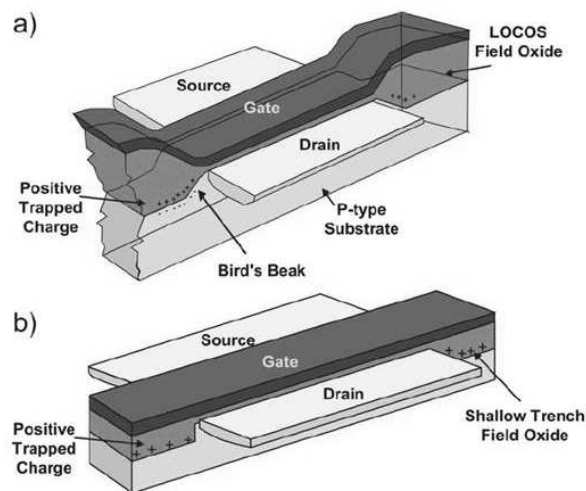


Figura 1.1: Illustrazione della sezione dell'ossido di campo di un MOSFET implementato (a) con tecnologia LOCOS, (b) con tecnologia STI [10].

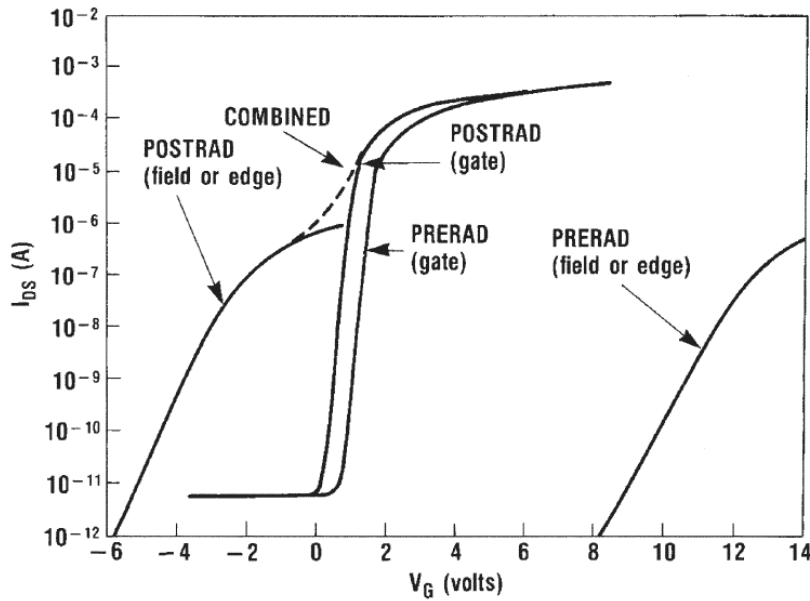


Figura 1.2: Illustrazione schematica della caratteristica I–V di un MOSFET a canale n, e il relativo transistor parassita prima e dopo l’irradiazione. Il componente parassita ha uno spessore maggiore e quindi predomina la curva dopo l’irradiazione [9].

come lo spessore dell’ossido di campo è maggiore di quello di gate, anche lo scostamento dopo l’irradiazione è maggiore, fino ad arrivare più a sinistra dell’altra caratteristica. La curva risultante è una combinazione delle due. La corrente di perdita a 0 V aumenta di parecchi ordini di grandezza e spesso può causare malfunzionamenti nei circuiti.

Le memorie Flash [11] rappresentano la principale soluzione per la memorizzazione non-volatile in tutte le applicazioni terrestri, incluse quelle che necessitano alta affidabilità (trasporti, biomedica); inoltre, stanno guadagnando molto interesse per l’uso in condizioni estreme, come lo spazio [12].

Per questo ho scelto di prendere in considerazione un elemento circuitale presente in queste memorie, le pompe di carica, visto che dai test, risulta essere l’elemento più sensibile alla dose totale di radiazione. In questo lavoro esporrò brevemente il funzionamento dei vari tipi di pompa più uti-



lizzati; in seguito effettuerò delle simulazioni SPICE che riproducono gli effetti della dose totale di radiazione sui transistor MOSFET. In questo modo cercherò di individuare quali soluzioni circuitali riescano a sopportare meglio le radiazioni.



---

## Capitolo 2

# Le pompe di carica

I circuiti a pompa di carica vengono usati per generare tensioni continue che possono essere maggiori della tensione di alimentazione (VDD), oppure minori della tensione di massa (GND) di un chip. Questi circuiti, detti anche moltiplicatori di tensione, sono tipicamente utilizzati nelle memorie flash, per scrivere o cancellare i dati. In questo capitolo verranno presentati sinteticamente i principali schemi di pompa di carica attualmente utilizzati.

### 2.1 Pompa di carica Dickson

La Figura 2.1 mostra lo schema base di una pompa di carica Dickson [13]. I diodi sono necessari per stabilire la direzione della corrente, mentre il compito principale dei condensatori è quello di accumulare carica e trasferirla al condensatore successivo; i condensatori vengono pilotati con i segnali a fase alternata CK e CK#. In uscita si trova un condensatore di accumulo ( $C_{\text{STORE}}$ ) che mantiene costante la tensione  $V_{\text{OUT}}$ .

Per comprendere il funzionamento della pompa risulterà utile per il momento assumere che:

- I diodi hanno tensione di soglia nulla;
- Tutti i condensatori di trasferimento  $C_T$  hanno la stessa capacità;

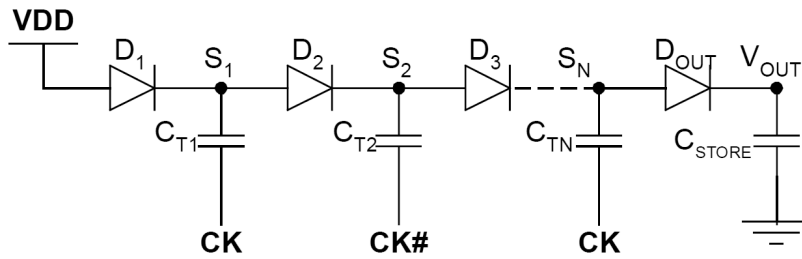


Figura 2.1: Schema base di una pompa di carica Dickson

- CK e CK# sono onde quadre (dove CK# è la versione negata di CK), entrambi inizialmente a GND;
- I nodi S<sub>i</sub> sono inizialmente precaricati a VDD

All' accensione dei segnali CK e CK# inizia l'accumulo e il trasferimento di carica:

1. quando CK va da GND a VDD, S<sub>1</sub> va a 2 VDD. A questo punto, una parte della carica immagazzinata nel condensatore C<sub>T1</sub> viene trasferita a C<sub>T2</sub>, tramite il cosiddetto "charge sharing". Il diodo D<sub>1</sub> evita che la carica possa ritornare verso l'alimentazione, mantenendola nel condensatore C<sub>T2</sub>;
2. quando CK va da VDD a GND, CK# va da GND a VDD, e il condensatore C<sub>T2</sub> può trasferire parte della propria carica a C<sub>T3</sub>. Allo stesso tempo il condensatore C<sub>T1</sub>, che si era parzialmente scaricato nella fase precedente, viene ricaricato a VDD.

La tensione d'uscita continua a crescere fino a raggiungere a regime un valore massimo pari a  $V_{OUT} = VDD + nVDD$ , dove  $n$  rappresenta il numero di stadi della pompa [14]. La pompa si può realizzare anche sostituendo i diodi con dei transistor MOS adeguatamente connessi, come mostrato in Figura 2.2.

In questo tipo di configurazione bisognerà valutare attentamente dove collegare i bulk dei MOS, cercando di limitare l'effetto body. Per connettere



leggermente maggiore, e quindi, l'occupazione di area potrebbe diventare un problema.

D'altro canto, l'uso di transistor NMOS, realizzati in triple-well è l'unico modo per ridurre l'effetto body.

## 2.2 Pompa di carica a pass-transistor

In alternativa all'uso dei diodi, si possono usare i transistor come interruttori. Quando la tensione applicata al gate di un MOS è inferiore alla tensione di soglia  $V_T$  il transistor è spento, e si può quindi considerare come un interruttore aperto. Quando si va invece ad applicare al gate una tensione superiore a  $V_T$ , vi è un completo trasferimento di carica con una differenza di tensione minima ai capi del transistor, che può essere considerato quindi come un interruttore chiuso.

Inevitabilmente, il circuito diventerà più complesso e aumenterà l'area occupata [15]. Infatti, oltre ai condensatori di trasferimento e i due segnali già presenti in una pompa semplice, è necessario aggiungere due condensatori di boost e due ulteriori segnali per pilotare meglio gli interruttori, come mostrato in Figura 2.4.

Si parte dalla condizione in cui non c'è trasferimento di carica, quando i pass-transistor sono spenti, e quindi B e D sono a GND e C è a VDD. In

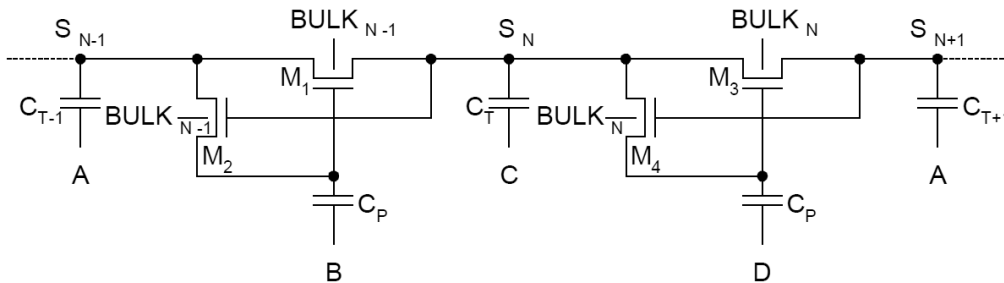


Figura 2.4: Singolo stadio di una pompa a pass-transistor

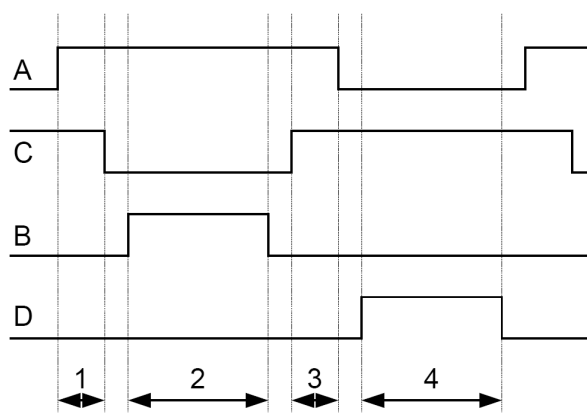


Figura 2.5: Diagramma temporale dei segnali che comandano la pompa a pass-transistor: 1) precarica del condensatore  $C_P$  del transistor  $M_1$ , 2) trasferimento di carica tra i condensatori  $C_{T-1}$  e  $C_T$ , 3) precarica del condensatore  $C_P$  del transistor  $M_3$ , 4) trasferimento di carica tra i condensatori  $C_T$  e  $C_{T+1}$

questo caso il gate del transistor  $M_1$  è polarizzato ad una tensione molto bassa, mentre il nodo  $S_N$  è a VDD.

A questo punto, come è possibile vedere in Figura 2.5, il segnale A passa a VDD, caricando il nodo  $S_{N-1}$ ; il transistor  $M_2$  è acceso e così viene caricata la piastra superiore del condensatore  $C_P$  che pilota il gate del pass-transistor  $M_1$ . Una volta terminata questa fase è necessario riportare C a GND, e far raggiungere al gate di  $M_1$  una tensione tale da consentire il trasferimento di carica tra  $C_{T-1}$  e  $C_T$ . Questo si può ottenere portando il segnale B a VDD per un tempo che consenta il completo trasferimento di carica tra i due condensatori. Una volta terminato il trasferimento tutte le operazioni sono ripetute in ordine inverso: prima B viene portato a GND, poi C passa a VDD. A questo punto, il condensatore  $C_P$  connesso al gate del transistor  $M_3$  si carica finchè A è attivo. Quando viene attivato D, inizia il trasferimento di carica tra  $C_T$  e  $C_{T+1}$ .

La polarizzazione dei bulk dei pass-transistor presenta gli stessi problemi

riscontrati nelle pompe con diodi realizzati tramite transistor.

Potendo usare transistor NMOS a triple-well, si può cortocircuitare il body con il drain. In questo modo si può ridurre l'area occupata, visto che non sono più necessarie strutture per polarizzare i bulk.

Con i transistor connessi a diodo, si ha il vantaggio di un circuito base semplice e lo svantaggio che è richiesta una certa tensione ai terminali per operare correttamente; di conseguenza, la tensione di uscita risulterà pari alla tensione dell'ultimo stadio meno la tensione di soglia del diodo. D'altra parte, i pass-transistor riescono a trasferire tutta la tensione in uscita, ma richiedono una struttura boost per i gate, in modo da trasferire correttamente la carica. Inoltre, la generazione dei segnali di comando fa aumentare la complessità e il consumo di potenza del circuito. Per giunta, parte della carica accumulata dal condensatore di trasferimento è usata per precaricare il condensatore  $C_P$  connesso al gate del pass-transistor. Di conseguenza, non viene trasferita tutta la carica, ma parte di essa viene persa durante quest'operazione.

## 2.3 Duplicatore di tensione

Un altro circuito per aumentare la tensione, è il cosiddetto duplicatore di tensione mostrato in Figura 2.6. Si tratta di un sistema di feedback che può raddoppiare la tensione di alimentazione, ed è composto da due transistor a canale n, e due condensatori.

Per comprendere il funzionamento del circuito si può assumere che all'inizio, i nodi A e B, come i segnali CK e CK#, sono a GND. In questo modo, entrambi i transistor  $M_{N1}$  e  $M_{N2}$  sono spenti. Appena CK va a VDD, anche il nodo A si porta a VDD, attivando il transistor  $M_{N2}$ . Siccome CK# è a GND, la carica inizia a fluire dall'alimentazione al condensatore  $C_{T2}$ , fino a che B raggiunge un valore pari a  $VDD - V_{TH'N2}$ . Quando CK ritorna a GND, lo segue anche il nodo A, spegnendo così il transistor  $M_{N2}$ . Ora CK# va a VDD, quindi il valore del nodo B diventa  $VDD - V_{TH'N2} + VDD$



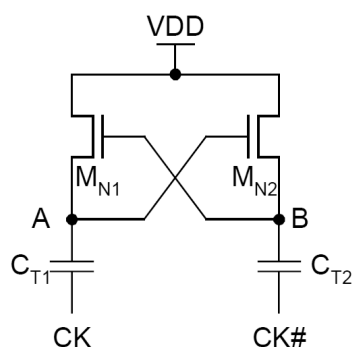


Figura 2.6: Duplicatore di tensione

accendendo il transistor  $M_{N1}$ , attraverso il quale  $C_{T1}$  viene caricato fino a raggiungere  $VDD$ . A questo punto il ciclo si può ripetere nuovamente. Ora è necessario progettare un circuito che possa trasmettere in uscita la tensione  $2 VDD$  indipendentemente dal nodo (A o B) che è a quel valore; successivamente, il passaggio dal duplicatore alla pompa di carica è abbastanza semplice: infatti, è sufficiente collegare più stadi in serie, in modo che l'uscita di uno stadio venga utilizzata come alimentazione del successivo.

Uno stadio d'uscita PMOS adeguatamente collegato ai nodi A e B, come

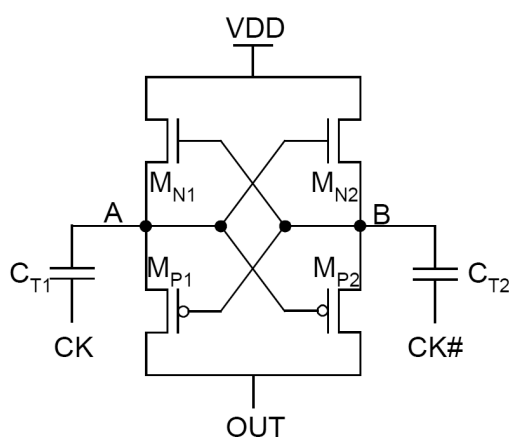


Figura 2.7: Duplicatore di tensione con stadio d'uscita PMOS

mostrato in Figura 2.7 è il circuito più semplice per ottenere in uscita una tensione pari a  $2 V_{DD}$ : quando CK è a VDD, A è a  $2 V_{DD}$ , mentre B è a VDD. Il transistor  $M_{N1}$  viene quindi spento, mentre  $M_{P1}$  si accende, trasferendo la tensione del nodo A in uscita. Nel frattempo si spegne  $M_{P2}$  e si accende  $M_{N2}$ , caricando il condensatore  $C_{T2}$ . Quando CK ritorna a GND e CK# va a VDD, il circuito si comporta in modo opposto:  $M_{N1}$  e  $M_{P2}$  sono accesi, mentre  $M_{N2}$  e  $M_{P1}$  sono spenti. Il circuito è concepito in modo da evitare che si crei un cammino diretto tra VDD e il nodo OUT, onde evitare di compromettere il funzionamento del circuito stesso.

Anche in questo caso esiste il problema della polarizzazione dei bulk, che viene risolto applicando la soluzione descritta nella sezione precedente. La Figura 2.8 rappresenta una possibile rappresentazione circuitale che permette di mantenere il body dei transistor NMOS alla tensione più bassa e il body dei PMOS alla tensione più alta, in ogni condizione operativa.

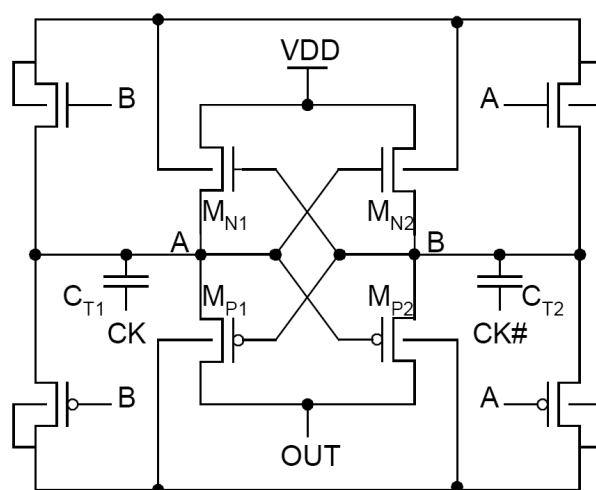


Figura 2.8: Duplicatore con polarizzazione dei nodi bulk dei transistor

---

## Capitolo 3

### Simulazioni dei circuiti

Il modello di transistor scelto per le simulazioni SPICE è  $0,25\ \mu\text{m}$  BSIM3 V3.1 level 49,  $V_{\text{DD}} = 2,5\ \text{V}$ . Nei circuiti che andrò a simulare si possono raggiungere tensioni  $V_{\text{GS}}$  e  $V_{\text{DS}}$  che arrivano fino a  $4\ \text{V}$ . Per assicurare un corretto funzionamento dei dispositivi a queste tensioni ho modificato lo spessore dell'ossido di gate, portandolo da  $5,8\ \text{nm}$  a  $15\ \text{nm}$ . La caratteristica d'uscita è rappresentata in Figura 3.1 e si riferisce ad un transistor con geometria  $L = 0,25\ \mu\text{m}$ ,  $W = 3,75\ \mu\text{m}$ . Le tensioni  $V_{\text{GS}}$  sono comprese tra  $1$  e  $5\ \text{V}$  con un passo di  $1\ \text{V}$ .

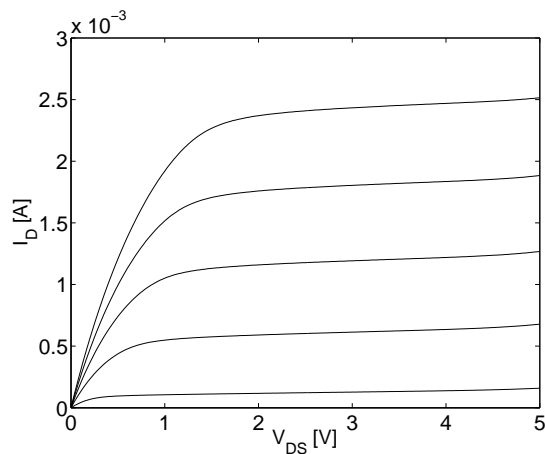


Figura 3.1: Caratteristica  $I_D$ - $V_{\text{DS}}$  per differenti  $V_{\text{GS}}$

### 3.1 Pompa di carica Dickson

Il circuito di riferimento è quello di Figura 3.2; nel nostro caso si sono collegati in serie 14 stadi.

Per la polarizzazione dei nodi di bulk ho utilizzato un circuito come quello mostrato in Figura 3.3.

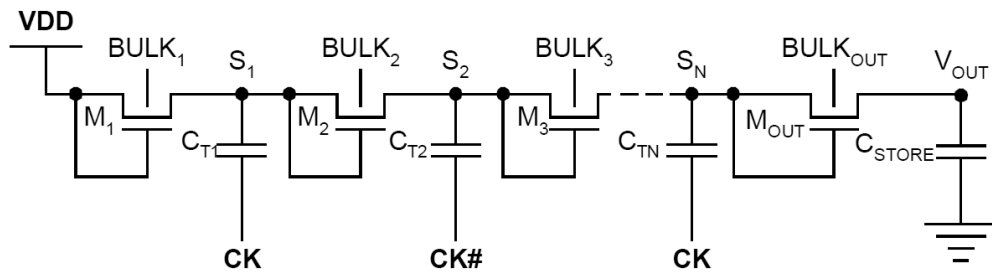


Figura 3.2: Schema base della pompa di carica Dickson implementata tramite transistor MOS

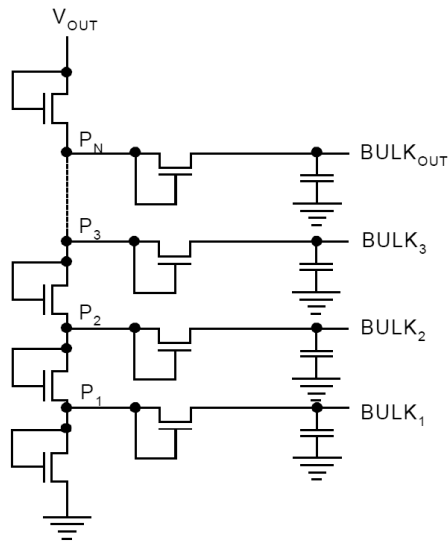


Figura 3.3: Polarizzatore dei bulk

Il dimensionamento è stato effettuato empiricamente, tenendo conto che volevo ottenere in uscita una tensione pari a 20 V, utile per la programmazione delle word line non selezionate e per la polarizzazione del body in fase di cancellazione dei dati. I transistor collegati a diodo sono stati dimensionati con  $L = 0,25 \mu\text{m}$ ,  $W = 6,625 \mu\text{m}$ , mentre i condensatori hanno tutti lo stesso valore pari a  $C_T = 40 \text{ pF}$ ; tutti i transistor del polarizzatore sono invece a dimensione minima, e i condensatori hanno capacità pari a 5 pF; la frequenza di clock è di 10 MHz.

L'andamento della tensione d'uscita  $V_{\text{OUT}}$  si può osservare nel grafico di Figura 3.4.

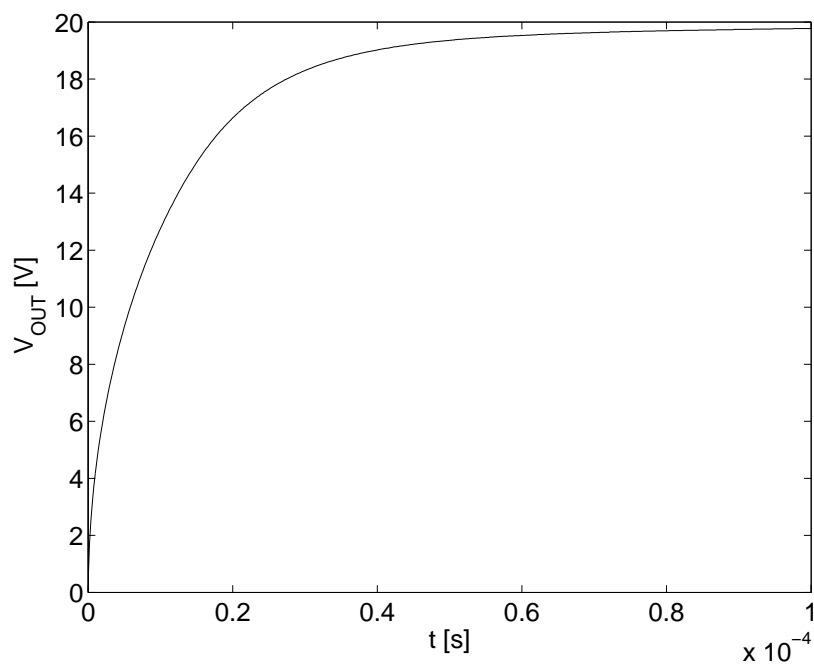


Figura 3.4: Andamento della tensione d'uscita

Ho progettato una seconda pompa di carica che fornisce una tensione d'uscita pari a 10 V, utilizzata per programmare le word line non selezionate. Il circuito è del tutto simile al precedente, con la sola differenza che sono stati collegati in serie 7 stadi.

L'andamento di  $V_{OUT}$  è mostrato nel grafico di Figura 3.5.

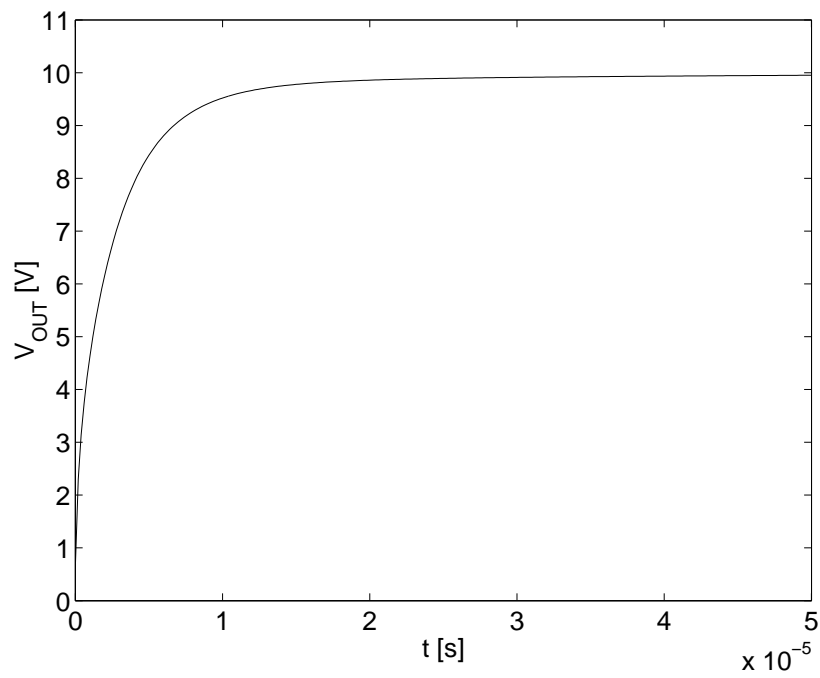


Figura 3.5: Andamento della tensione d'uscita

## 3.2 Pompa di carica a pass-transistor

Lo schema di uno stadio di questa pompa di carica è illustrato in Figura 3.6. Per raggiungere la tensione di 20 V ho collegato in serie 10 stadi. Il circuito per la polarizzazione di nodi di bulk è lo stesso utilizzato nella sezione precedente.

Anche in questo caso il dimensionamento è stato empirico: i transistor  $M_1$  e  $M_3$  sono stati dimensionati con  $L = 0,25 \mu\text{m}$ ,  $W = 5,0 \mu\text{m}$ , mentre i transistor  $M_2$  e  $M_4$  hanno  $L = 0,25 \mu\text{m}$ ,  $W = 2,0 \mu\text{m}$ . I condensatori  $C_T$  hanno tutti capacità pari a 23,5 pF, tranne quello collegato al nodo d'uscita, il quale, per ridurre il ripple di tensione, è stato posto a 80 pF; i condensatori  $C_P$  hanno tutti capacità pari a 1 pF. I segnali usati per il controllo seguono uno schema come quello illustrato in Figura 3.7; la serie si ripete con una frequenza di 10 MHz.

L'andamento della tensione d'uscita  $V_{\text{OUT}}$  si può osservare nel grafico di Figura 3.8.

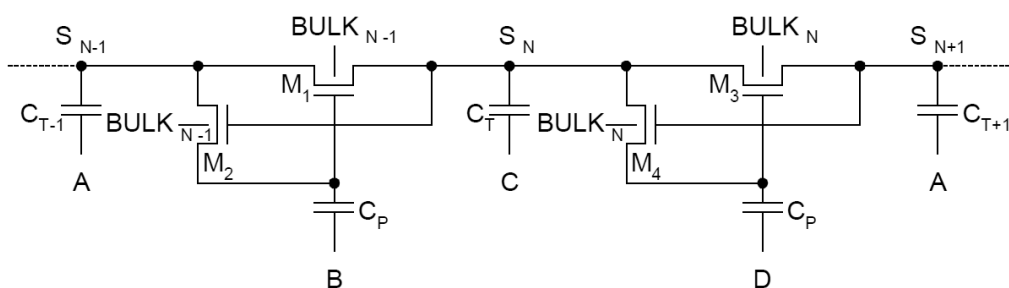


Figura 3.6: Singolo stadio di una pompa di carica a pass-transistor

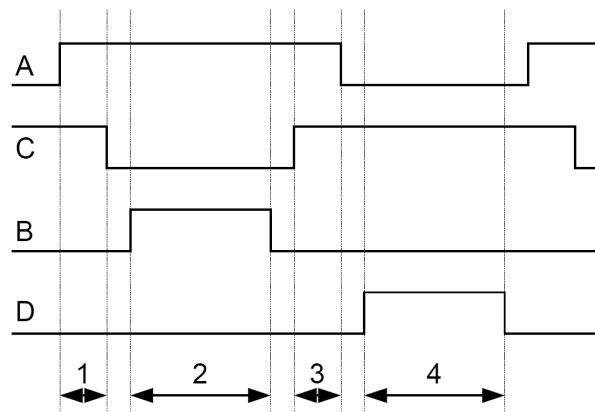


Figura 3.7: Diagramma temporale dei segnali che comandano la pompa di carica a pass-transistor

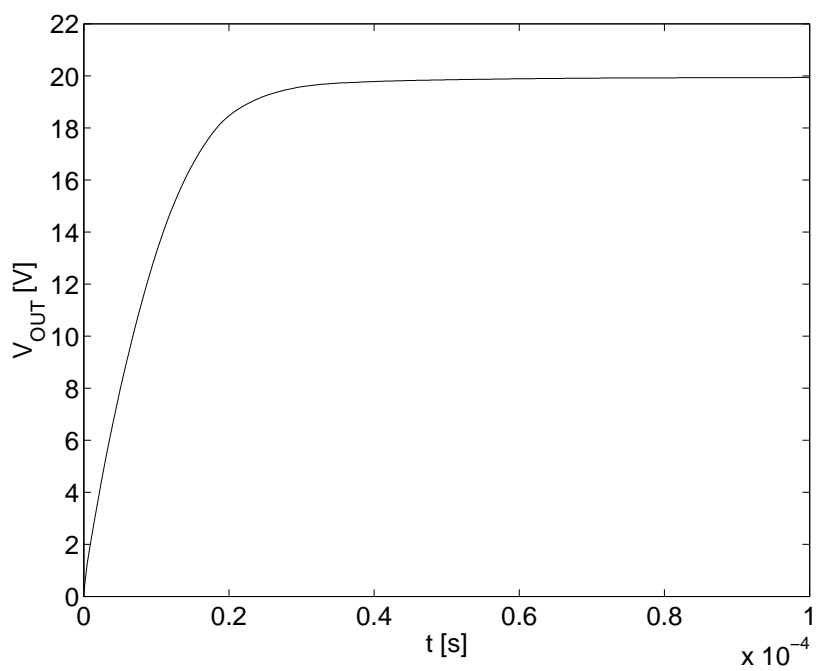


Figura 3.8: Andamento della tensione d'uscita



Anche in questo caso, la pompa di carica che fornisce una tensione d'uscita pari a 10 V è del tutto simile alla precedente, con la sola differenza che sono stati collegati in serie 5 stadi. L'unico parametro che ho cambiato è la capacità dei condensatori di accumulo  $C_T = 28$  pF.

L'andamento di  $V_{OUT}$  è mostrato nel grafico di Figura 3.9.

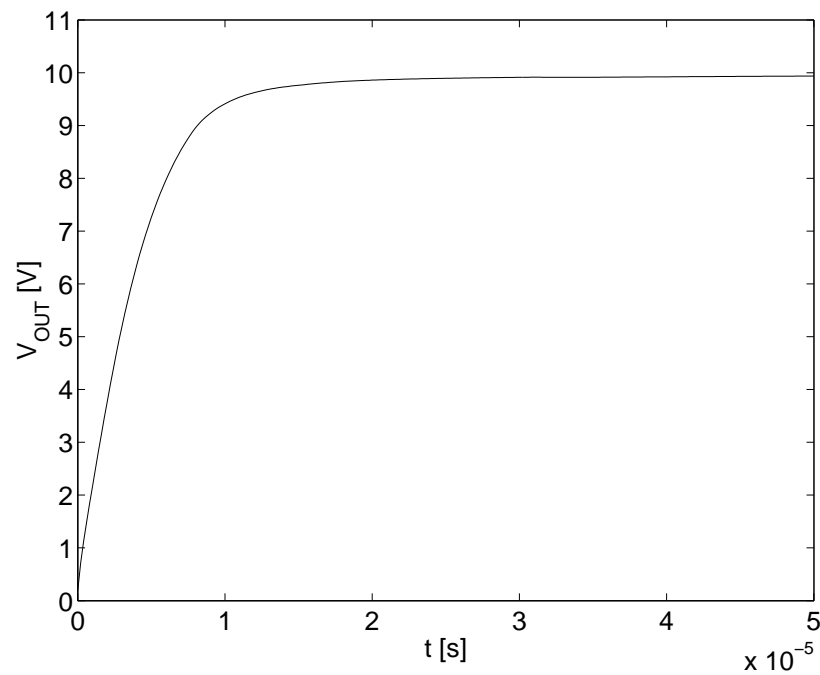


Figura 3.9: Andamento della tensione d'uscita



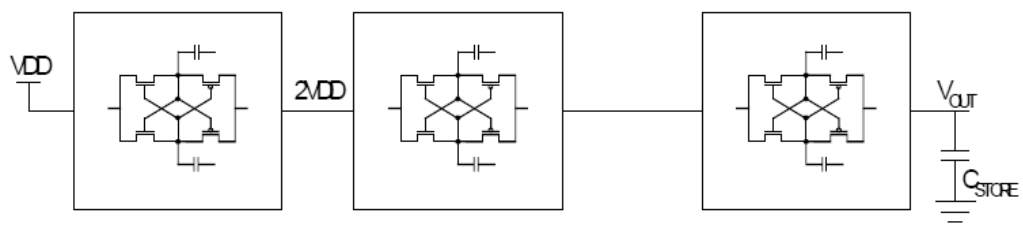


Figura 3.11: Implementazione della pompa di carica collegando in serie dei duplicatori di tensione

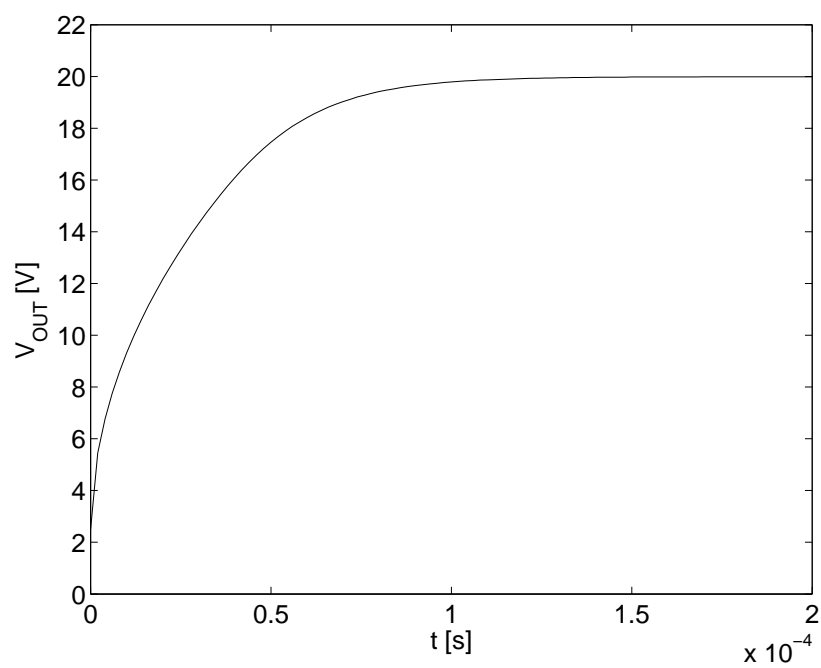


Figura 3.12: Andamento della tensione d'uscita

La pompa di carica che fornisce una tensione d'uscita pari a 10 V è del tutto simile al precedente, con la sola differenza che ho collegato in serie 3 stadi.

L'andamento di  $V_{\text{OUT}}$  è mostrato nel grafico di Figura 3.13.

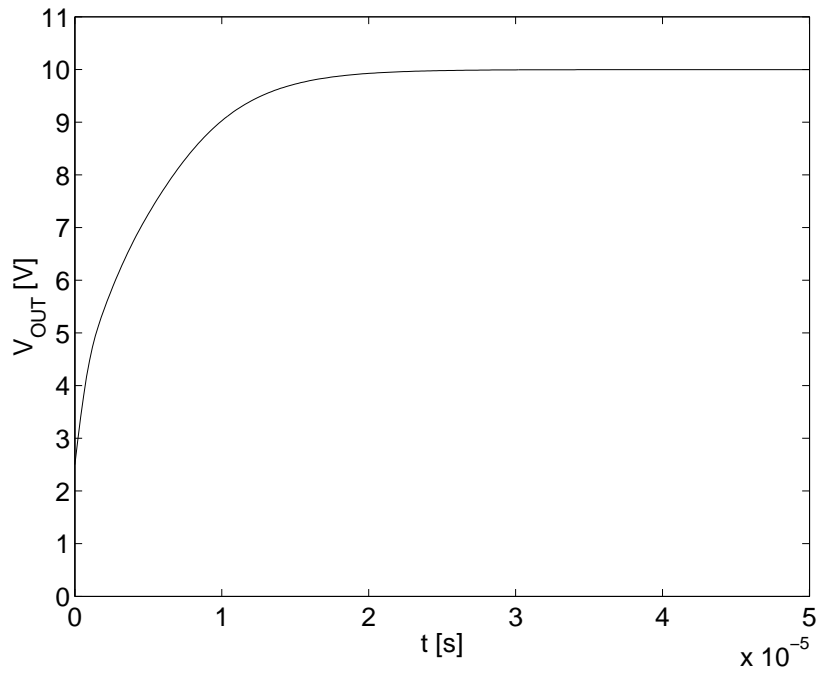


Figura 3.13: Andamento della tensione d'uscita

### 3.4 Comparazione delle pompe di carica

I tre schemi differenti di pompe di carica precedentemente analizzati vengono ora comparati tra loro.

La prima cosa da considerare è che parametri come frequenza di lavoro, capacità dei condensatori, dimensioni dei transistor, ripple di  $V_{OUT}$  sono in forte correlazione tra loro. I valori sono stati scelti per essere il più vicini a quelli trovati normalmente in letteratura [15],[16],[17]; ho cercato inoltre di ottimizzarli per ottenere dei circuiti che funzionassero correttamente, limitando l'area occupata.

È stato inoltre preso in considerazione il tempo  $t_{RISE}$  impiegato a raggiungere il 90% della tensione a regime; infine si è tenuto conto del ripple di tensione a regime. I risultati sono esposti nelle seguenti tabelle.

Tabella 3.1: Comparazione delle pompe di carica ( $V_{OUT} = 20\text{ V}$ )

Tipo di pompa	$t_{RISE}$ ( $\mu s$ )	Ripple (mV)
Dickson	27,2	45
Pass-t	18,4	65
Duplicatore	55,1	1

Tabella 3.2: Comparazione delle pompe di carica ( $V_{OUT} = 10\text{ V}$ )

Tipo di pompa	$t_{RISE}$ ( $\mu s$ )	Ripple (mV)
Dickson	6,8	44
Pass-t	8,0	65
Duplicatore	9,9	1



---

# Capitolo 4

## Simulazioni dei circuiti dopo l'irradiazione

### 4.1 Caratteristiche I–V

Per simulare con SPICE l'effetto della radiazione ionizzante sui MOSFET ho aggiunto in parallelo ad ogni transistor un transistor parassita che riproduce il percorso di corrente che si crea nell'ossido di campo.

Si inizia valutando la caratteristica I–V di un tale dispositivo. È stato preso in considerazione un transistor con dimensioni  $L = 0,250 \mu\text{m}$ ,  $W = 3,75 \mu\text{m}$ , alimentato con  $V_{DD} = 2,5 \text{V}$ . Lo spessore dell'ossido di gate del transistor parassita, pari a 200 nm, dovrebbe simulare approssimativamente lo spessore dell'ossido di campo.

Osservando la Figura 4.1 si può notare, rappresentata con la linea continua, la caratteristica prima dell'irradiazione, mentre le curve tratteggiate rappresentano le caratteristiche complessive dopo l'irradiazione, dove è stata abbassata la tensione  $V_{TH}$  rispettivamente di 100, 200, e 300 mV. La tensione  $V_{TH}$  del transistor parassita è stata invece abbassata rispettivamente di 0,7, 1,4, 2,1 V, per simulare la maggiore influenza dell'irradiazione, dovuta al maggior spessore di ossido.

Per confronto, in Figura 4.2 si può osservare un grafico che riporta dei risultati sperimentali.

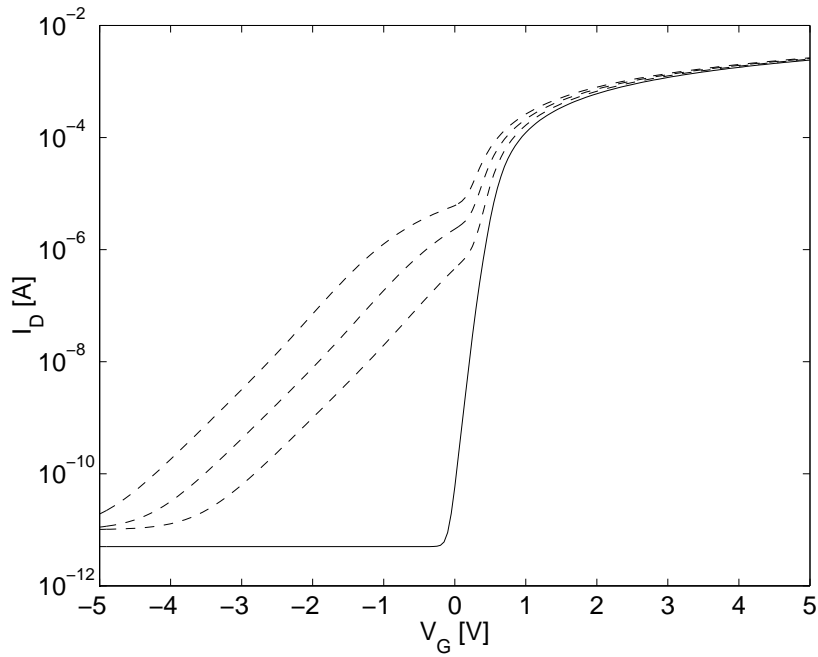
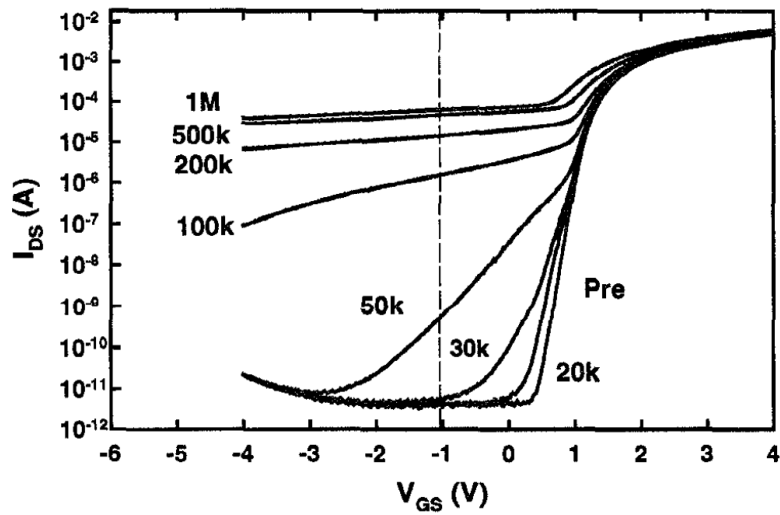


Figura 4.1: Caratteristiche I-V prima e dopo l'irradiazione

Figura 4.2: Caratteristiche I-V di un transistor a canale n irradiato gradualmente fino a 1 Mrad(SiO<sub>2</sub>) usando raggi x [10].



## 4.2 Pompe di carica

Il passo successivo consiste nel sostituire i transistor dei circuiti delle pompe di carica con quelli che simulano l'effetto della dose totale di radiazione.

Nei seguenti grafici si può notare come la caratteristica d'uscita di  $V_{OUT}$  venga modificata dopo l'irradiazione. Come illustrato, le varie curve si riferiscono a livelli progressivi di abbassamento di  $V_{TH}$ .

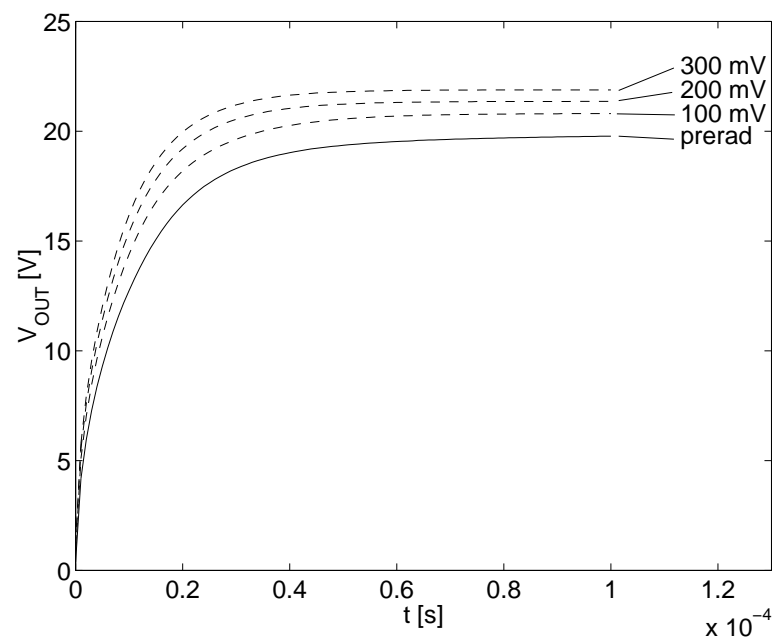


Figura 4.3: Pompa di carica Dickson a 20 V

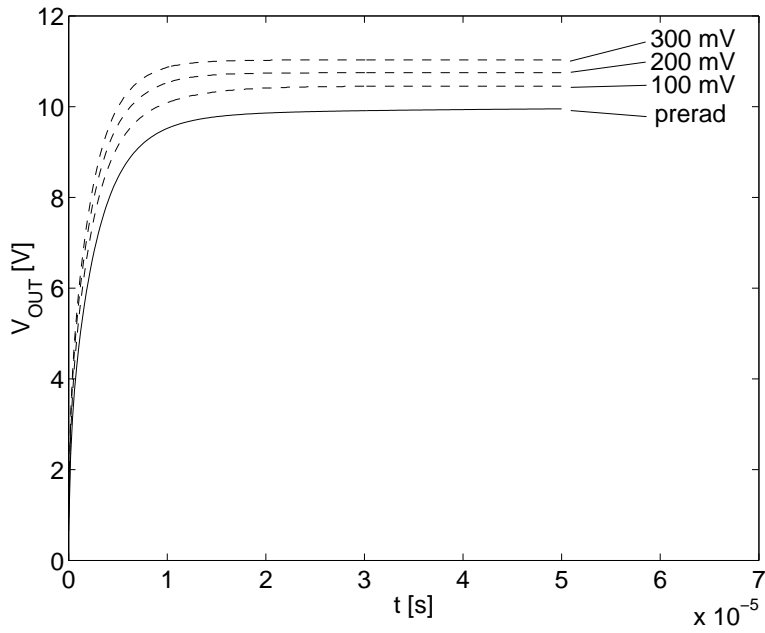


Figura 4.4: Pompa di carica Dickson a 10 V

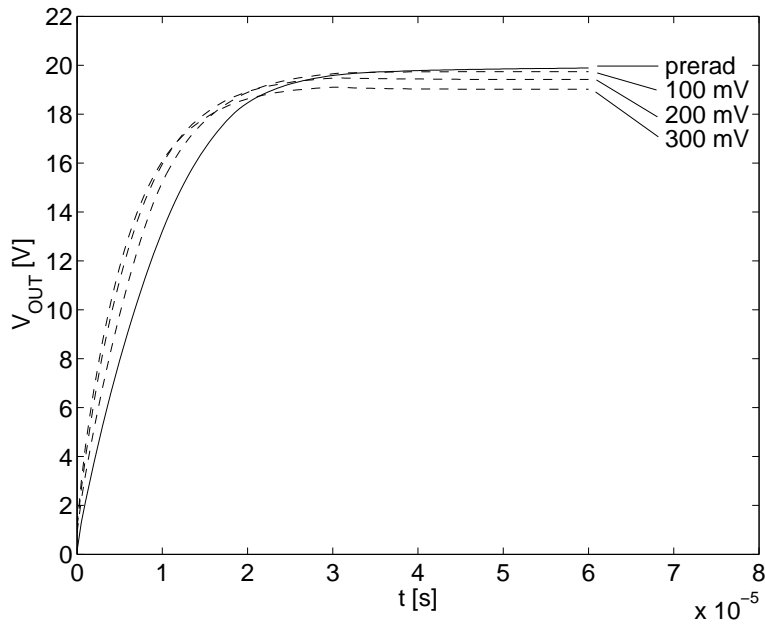


Figura 4.5: Pompa di carica a pass-transistor a 20 V

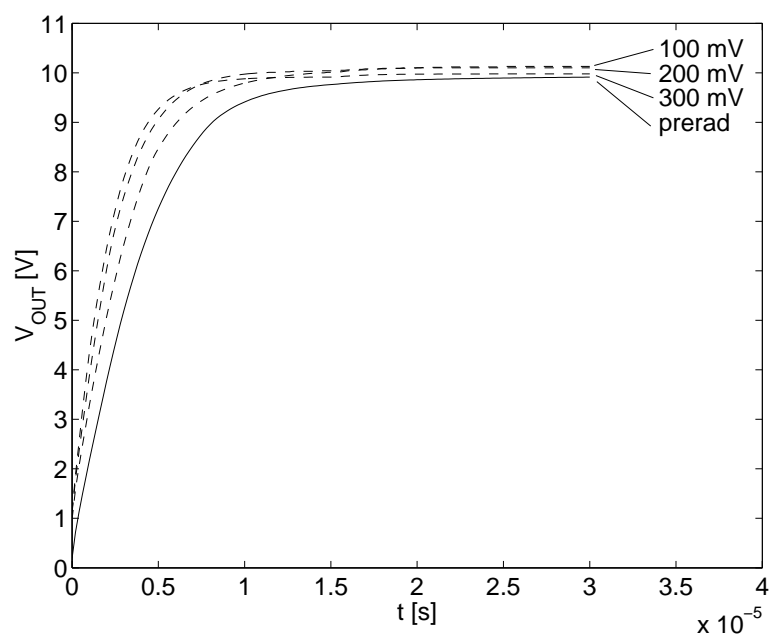


Figura 4.6: Pompa di carica a pass-transistor a 10 V

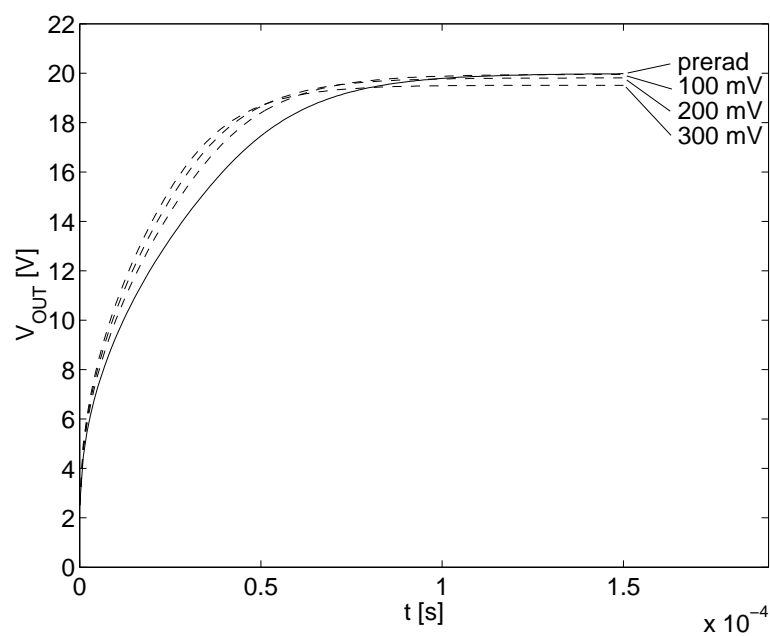


Figura 4.7: Pompa di carica con duplicatore di tensione a 20 V

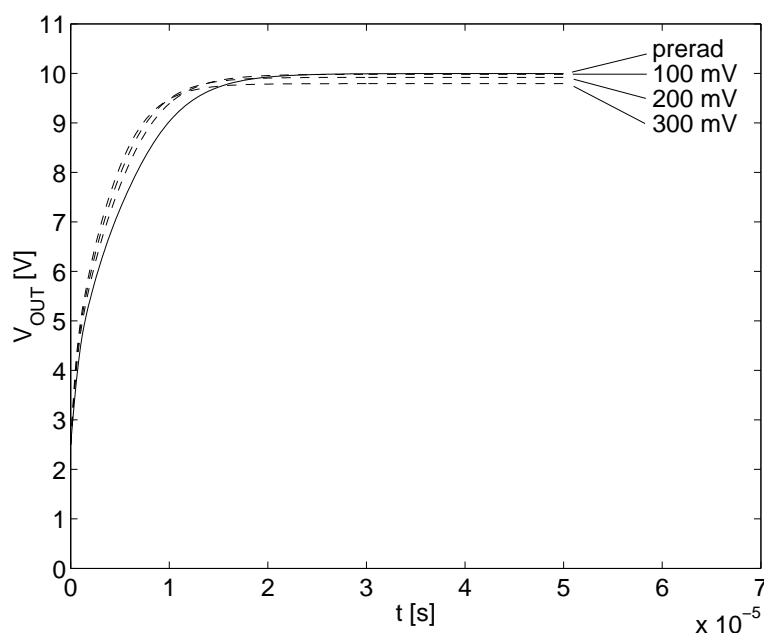


Figura 4.8: Pompa di carica con duplicatore di tensione a 10 V

### 4.3 Osservazioni

In Tabella 4.1 e in Tabella 4.2 ho riportato i valori della degradazione di  $V_{OUT}$ , riferiti ai tre livelli progressivi di dose totale, visto che dai grafici non è possibile comprenderne con precisione l'entità. I valori sono stati rilevati ad un tempo pari a  $200 \mu s$ , quando il livello di tensione si può considerare raggiunto con sufficiente precisione. Un'altro parametro, come il ripple di  $V_{OUT}$  non è invece stato riportato, visto che rimane invariato; anche il tempo  $t_{RISE}$  impiegato a raggiungere il 90% della tensione a regime è stato tralasciato, visto che subisce solo dei leggeri miglioramenti, e questo non è un parametro critico per le applicazioni considerate.

Si nota che nella pompa di carica Dickson, dopo la dose totale di radiazione si ha un innalzamento della tensione d'uscita, che nel caso peggiore raggiunge il 10,3%. La tensione in uscita a regime di questa pompa di carica è la somma delle tensioni che si raggiungono ad ogni singolo stadio. La

Tabella 4.1: Riassunto della degradazione di  $V_{OUT}$  delle varie pompe di carica ( $V_{OUT} = 20\text{ V}$ )

Tipo di pompa	Originale (V)	Degradata(V)		
		I	II	III
Dickson	20,00	20,81	21,36	21,88
Pass-t	20,00	19,88	19,59	19,19
Duplicatore	20,00	19,95	19,81	19,52

Tabella 4.2: Riassunto della degradazione di  $V_{OUT}$  delle varie pompe di carica ( $V_{OUT} = 10\text{ V}$ )

Tipo di pompa	Originale (V)	Degradata (V)		
		I	II	III
Dickson	10,00	10,45	10,75	11,03
Pass-t	10,00	10,14	10,10	9,98
Duplicatore	10,00	9,98	9,92	9,79

tensione di soglia  $V_{TH}$  impedisce però che il trasferimento di carica tra i condensatori sia completo, perchè, raggiunta tale soglia il transistor si spegne. Nei transistor irradiati, come è stato illustrato precedentemente, la tensione  $V_{TH}$  si abbassa, e di conseguenza ci sarà un migliore trasferimento di carica; perciò la tensione raggiunta ad ogni stadio sarà progressivamente maggiore, portando quindi di conseguenza ad un aumento della tensione d'uscita.

Nel caso della pompa di carica a pass-transistor, dopo la dose totale di radiazione si ha un calo della tensione d'uscita, che nel caso peggiore arriva al 4,0%. Questo è dovuto alla presenza del transistor parassita in parallelo, che aumenta la corrente che transita nel dispositivo. In questo modo si modificano i tempi di carica e scarica dei condensatori, variando di conseguenza la tensione in uscita da ogni stadio. A riguardo, in fase di progetto, ho no-

tato che andando a modificare la larghezza dei transistor e la capacità di  $C_T$  si osservavano variazioni consistenti di  $V_{OUT}$ ; perciò il circuito è stato dimensionato accuratamente per ottenere la tensione d'uscita desiderata. Si può inoltre notare che nella pompa a 10 V vi è un'anomalia. A differenza di quella a 20 V,  $V_{OUT}$  subisce un aumento, e per assurdo, la curva che più si avvicina a quella originale è quella che ha subito la dose maggiore di radiazione. Questo comportamento ci mostra come le variazioni di tensione dipendano fortemente dal numero di stadi.

La pompa di carica con duplicatore di tensione è risultata quella che meno ha risentito degli effetti della dose totale di radiazione. La tensione d'uscita risulta al massimo inferiore del 2,4%. Anche in questo caso, la presenza del transistor parassita porta ad una diminuzione di  $V_{OUT}$ . Osservando le varie curve, si nota anche come aumenti la velocità con cui la tensione sale all'accensione, sempre per lo stesso motivo.

---

# Capitolo 5

## Conclusioni

In questo lavoro ho preso in considerazione dei componenti utilizzati in ambienti estremi, come i circuiti operanti sui satelliti, o su veicoli spaziali. L'esposizione a radiazioni ionizzanti a cui sono sottoposti ne può compromettere il funzionamento. L'obiettivo principale era quello di stimare la resistenza TID delle pompe di carica nelle memorie Flash. In particolare, ho analizzato tre tipi di pompa di carica: Dickson, a pass-transistor, e duplicatore di tensione, che sono quelli maggiormente utilizzati. Ho progettato per ogni tipo di pompa due circuiti, uno che fornisce in uscita una tensione di 10 V, utilizzato in fase di programmazione per le word line non selezionate e uno che fornisce invece 20 V, per programmare le word line selezionate e per la polarizzazione del body in fase di cancellazione.

Per simulare l'effetto della dose totale di radiazione sui dispositivi ho introdotto in parallelo ad ogni MOSFET del circuito un transistor parassita. Inoltre ho modificato le tensioni di soglia  $V_{TH}$  per simulare tre livelli progressivi di esposizione; il livello massimo corrisponde circa a 100–200 krad( $\text{SiO}_2$ ), dose di riferimento per componenti di satelliti in orbita geostazionaria. Le simulazioni hanno mostrato comportamenti diversi da parte dei tre circuiti. La pompa di carica Dickson presenta un'innalzamento della tensione d'uscita  $V_{OUT}$  all'aumentare della dose totale, mentre la pompa a pass-transistor subisce un calo; anche la pompa con duplicatore di tensione presenta un ab-

bassamento di  $V_{OUT}$ , anche se più contenuto, e per questo si è dimostrata la più resistente alla dose totale di radiazione. Quindi, sarebbe preferibile utilizzare quest'ultimo tipo di pompa di carica.



---

# Bibliografia

- [1] D.M. Fleetwood, P.S. Winokur, P.E. Dodd. “An overview of radiation effects on electronics in the space telecommunications environment”. *Microelectronics Reliability*, 40:17–26, 2000.
- [2] J. Mayo, H. Mann, F. Witt, D. Peck, H. Gummel, W. Brown. “The command system malfunction of the telstar satellite”. *Bell System Tech J.*, pages 42–1631, 1963.
- [3] E.G. Stassinopoulos, J.P. Raymond. “The space radiation environment for electronics”. In *Proc. IEEE*, pages 76–1423, 1988.
- [4] R.L. Pease. “Total-dose issues for microelectronics in space systems”. *IEEE Trans. Nuc. Sci.*, pages 43–442, 1996.
- [5] V. Pouget, D. Lewis, H. Lapuyade, R. Briand, P. Fouillat, L. Sarger, M.C. Calvet. “Validation of radiation hardened designs by pulsed laser testing and SPICE analysis”. *Microelectronics Reliability*, 39:931–935, 1999.
- [6] D.G. Mavis, D.R. Alexander. “Employing radiation hardness by design techniques whit commercial integrated circuit process”. In *Digital Avionics Systems Conference, 16th DASC., AIAA/IEEE*, volume 1, pages 15–22, 1997.
- [7] S. Gerardin, M. Bagatin, A. Cester, A. Paccagnella, B. Kaczer. “Impact of Heavy-Ion Strikes on Minimum-Size MOSFETs With Ultra-Thin Gate Oxide”. *IEEE Trans. Nuc. Sci.*, 53(6):3675–3680, Dec. 2006.

- 
- [8] F. Faccio, G. Cervelli. “Radiation-Induced Edge Effects in Deep Sub-micron CMOS Transistors”. *IEEE Trans. Nuc. Sci.*, 52(6):2413–2420, Dec. 2005.
- [9] T.R. Oldham, F.B. McLean. “Total Ionizing Dose Effects in MOS Oxides and Devices”. *IEEE Trans. Nuc. Sci.*, 50(3):486–499, June 2003.
- [10] M.R. Shaneyfelt, P.E. Dodd, B.L. Draper, R.S. Flores. “Challenges in Hardening Technologies Using Shallow-Trench Isolation”. *IEEE Trans. Nuc. Sci.*, 45(6):2584–2592, Dec. 1998.
- [11] P. Pavan, R. Bez, P. Olivo, E. Zanoni. “Flash Memory Cells-An Overview”. *Proc. IEEE*, 85(8):1248–1271, Aug. 1997.
- [12] M. Bagatin, G. Cellere, S. Gerardin, A. Paccagnella, A. Visconti, S. Beltrami. “TID Sensitivity of NAND Flash Memory Building Blocks”. *IEEE Trans. Nuc. Sci.*, 56(4):1909–1913, Aug. 2009.
- [13] J.F. Dickson. “On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique”. *IEEE J. Solid-State Circuits*, SC-11(3):374–378, June 1976.
- [14] G. Campardo, R. Micheloni, D. Novosel. *VLSI-Design of Non-Volatile Memories*. Springer Berlin Heidelberg New York, 2005.
- [15] O. Khouri, S. Gregori, A. Cabrini, R. Micheloni, G. Torelli. “Improved Charge Pump for Flash Memory Applications in Triple-Well CMOS Tecnology”. In *Proc. Int. Symp. on Circuits and Systems, Scottsdale, Arizona*, pages 1322–1326, May 2002.
- [16] O. Khouri, S. Gregori, R. Micheloni, D. Soltész, G. Torelli. “Low Output Resistance Charge Pump for Flash Memory Programming”. In *Memory Technology, Design and Testing, IEEE International Workshop on*, pages 99–104, 2001.

- 
- [17] G. Campardo, R. Micheloni, S. Commodaro, E Yero, M. Zammattio, S. Mognoni, A. Sacco, M. Picca, A. Manstretta, M. Scotti, I. Motta, C. Golla, A. Pierin, R. Bez, A. Grossi, A. Modelli, A. Visconti, O. Khouri, G. Torelli. “40-mm<sup>2</sup> 3-V-Only 50-MHz 64-Mb 2-b/cell CHE NOR Flash Memory”. *IEEE J. Solid-State Circuits*, 35(11):1655–1667, Nov. 2000.